

绝缘层上 Si/应变 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 异质结 p-MOSFET 电学特性二维数值分析

杨洲^{1,2}, 王莞^{1*}, 于杰^{1,3}, 胡伟达⁴, 杨宇^{1*}

- (1. 云南大学 光电信息材料研究所, 云南 昆明 650091;
2. 中国移动通信集团设计院有限公司重庆分公司, 重庆 401147;
3. 南京大学 电子科学与工程学院 固体微结构国家重点实验室, 江苏 南京 210093;
4. 中国科学院上海技术物理研究所 红外物理国家重点实验室, 上海 200083)

摘要:对绝缘层上 Si/应变 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 异质结 p-MOSFET 电学特性进行二维数值分析, 研究了该器件的阈值电压特性、转移特性、输出特性。模拟结果表明, 随着应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道层中的 Ge 组分增大, 器件的阈值电压向正方向偏移, 转移特性增强; 当偏置条件一定时, 漏源电流的增长幅度随着 Ge 组分的增大而减小; 器件的输出特性呈现出较为明显的扭结现象。

关键词:应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道; p-MOSFET; 阈值电压; 扭结
中图分类号:TP386; TN401 **文献标识码:**A

Two-dimensional numerical analysis for the electrical characteristics of Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ hetero-junction-on-insulator p-MOSFET

YANG Zhou^{1,2}, WANG Chong^{1*}, YU Jie^{1,3}, HU Wei-Da⁴, YANG Yu^{1*}

- (1. Institute for Optoelectronic Information Materials, Yunnan University, Kunming 650091, China;
2. China Mobile Group Design Institute Co., LTD. Chongqing Branch, Chongqing 401147, China;
3. School of Electron Science and Engineering, State Key Laboratory of Solid State Microstructures, Nanjing University, Nanjing 210093, China;
4. National Laboratory for Infrared Physics, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

Abstract: A two-dimension numerical analysis for the electrical characteristics of Si/strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ hetero-junction-on-insulator p-MOSFET has been completed. The characteristics of the threshold voltage, transfer and output were studied. The results indicate that the value of the threshold voltage has a positive offset and the transfer characteristics are improved with increase of Ge content. The growth rate of the drain-source current becomes lower with the increase of Ge content under a fixed bias voltage on the device, compained by obvious kink in the output characteristics.

Key words: strained $\text{Si}_{1-x}\text{Ge}_x$ channel, p-MOSFET, threshold-voltage, kink

PACS: 71.15. - m, 73.40. Qv, 73.63. Hs

引言

在传统的硅 CMOS 工艺中, 电子迁移率是空穴迁移率的 2~3 倍, 因此就要求 p-MOSFET 必须具有更大的沟道宽/长比才能匹配 n-MOSFET 的驱动电

流和增益, 这给电路的设计简化和集成度提高带来了极大的困难. 在 Si 基底上外延生长的 SiGe 合金具有优良的空穴迁移率. 由于 SiGe 材料与基底材料晶格常数的差异, 会使 SiGe 合金在生长平面内产生压应变, 应力的作用使 SiGe 的轻重空穴能带分裂、能

收稿日期: 2013-09-16, 修回日期: 2014-09-28

Received date: 2013-09-16, revised date: 2014-09-28

基金项目: 国家自然科学基金(10964016); 红外物理国家重点实验室开放课题

Foundation items: Supported by National Natural Science Foundation of China(10964016), the Open Project of National Key Laboratory of Infrared Physics
作者简介 (Biography): 杨洲(1984-), 河南人, 硕士研究生, 从事半导体器件物理研究. E-mail: yzzkm@126.com

* 通讯作者 (Corresponding author); E-mail: cwang6@163.com, yuyang@ynu.edu.cn

带结构的曲率发生变化,从而达到减小谷间声子散射和空穴有效质量的作用,使得空穴的迁移率提高^[1-3].

近年来,应变 Si_{1-x}Ge_x 沟道 p-MOSFET 的研究受到人们的广泛关注^[4-6]. Reigerd 等研究了生长在应力释放 Si_{1-y}Ge_y 衬底上的 Si_{1-x}Ge_x 赝晶合金特性,基于非局域旋转轨道互作用的经验公式计算了材料的价带和导带结构、能带的最小值、有效质量、形变势能 and 能带的突变量^[7]; Bulfer 等报道了应变和非应变 SiGe 合金中少数载流子和多数载流子的迁移率以及饱和速率,通过测量具有不同掺杂浓度和 Ge 组分的应变 Si_{1-x}Ge_x 样品中多数载流子迁移率验证了电子的运输模型^[8]; Hionis 等计算了 p 型 Si/Si_{1-x}Ge_x/Si 量子阱的子能带结构,研究了子能带间跃迁过程,并给出了平行和垂直外延层生长方向的轻度极化矢量的选择定则^[9]. 近来,尽管开始出现了结合了绝缘层上 Si(SOI)技术和应变 SiGe 沟道的绝缘层上 Si/Si_{1-x}Ge_x/Si 异质结 p-MOSFET 的报道^[10-12],但大都是工艺上的改进和提高. 为此,本文利用 ISE-TCAD 软件,考虑了器件的物理特性、量子效应和 Ge 组分变化给器件电学特性所带来的影响,选取了相应的运输模型、迁移率模型、量子效应模型以及产生-复合模型,对器件的电学特性进行二维数值分析,研究了该器件的阈值电压特性、转移特性、输出特性. 并且,所选取的量子效应模型计算量小、运算速度快,在很大程度上简化了数值模拟过程.

1 器件结构

器件的二维结构模型如图 1 所示. 在带有 Si 缓冲层的 SOI 衬底上外延生长应变 Si_{1-x}Ge_x 层作为器件的导电沟道. 沟道层与栅极氧化层之间的 Si 帽层是为了避免热生长过程中 Ge 组分富集在 SiO₂/Si_{1-x}Ge_x 界面所造成的器件开启性能退化而设置的,其合适厚度为 2~4 nm^[13]. 同时, Si 帽层的存在增加了应变 Si_{1-x}Ge_x 与栅氧化层之间的几何距离,可以有效地减弱栅极和栅极氧化层界面之间的缺陷和栅极氧化层电荷所引起的散射对沟道载流子的影响,额外提高迁移率.

2 数值模拟方法

利用 ISE-TCAD 软件对器件进行二维数值模拟计算,在 DEVISE 模块中生成器件的二维结构(如图 1 所示)并对其进行网格划分;在 MESH 模块中对划分的网格进行适当的调整;在 DESSIS 模块中根据器件的电学特性选取适当的物理模型进行数值计

算. 运输模型选用了流体力学能量平衡运输模型(Hydrodynamic Energy Balance Transport Model)^[14-15]. 由于 Si 与 SiGe 合金的电子亲和势相近,高偏压下异质结的导带带阶对电子几乎不能形成限制,而其价带带阶则比较大($\Delta E_v \approx 0.78\text{eV} \cdot x$,其中 x 为合金中 Ge 的组分),SiGe 合金层在异质结中容易形成空穴的势阱^[16]. 图 2 显示的是器件能带结构图^[17],量子效应模型采用了可以模拟二维和三维量子效应的密度梯度模型(Density Gradient Model)^[18-19]. 该模型可以用于 MOSFET、量子阱、超薄 SOI 等器件,运算速度快,并能准确表达器件的端特性和电荷分布情况. 随着电场和电荷的急剧变化,该模型能更准确给出迁移率和电荷的产生-复合特性. 产生-复合模型选取了肖克莱-里德-霍尔(SRH)复合模型、俄歇复合模型、带间隧穿模型和雪崩产生模型.

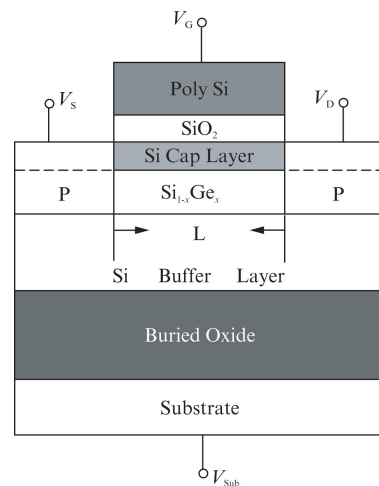


图 1 器件的二维结构模型图
Fig. 1 2-D structure model of the device

在 Si 膜上生长的应变 Si_{1-x}Ge_x 层的压应变随 Ge 组分 x 的变化而变化,因而由应变导致的能带结构的改变也会随 x 而变化,能带的分裂会使谷间声子散射几率减小,同时能带曲率的变化也可以使载流子有效质量减小,因此有效质量和能带结构参数可以认为是 x 的函数,并且应变 Si_{1-x}Ge_x 中载流子的迁移率随 x 而变化^[20]. 在 SiGe 合金中,沟道中的载流子可能会受到晶格散射、合金散射、离化杂质散射、表面声子散射、表面粗糙散射以及库伦散射的影响. 根据 Mathiessen 定则,应变 Si_{1-x}Ge_x 沟道 p-MOSFET 的空穴迁移率可以表示为:

$$\frac{1}{\mu} = \frac{1}{\mu_{\text{ph}}} + \frac{1}{\mu_{\text{alloy}}} + \frac{1}{\mu_{\text{ion}}} + \frac{1}{\mu_{\text{sph}}} + \frac{1}{\mu_{\text{sr}}} + \frac{1}{\mu_{\text{c}}}, \quad (1)$$

其中 μ_{ph} 、 μ_{alloy} 、 μ_{ion} 、 μ_{sph} 、 μ_{sr} 、 μ_{c} 分别代表声子散射、

合金散射、离化散射、表面声子散射、表面粗糙散射以及库伦散射迁移率. 根据以上散射机制选择相应的迁移率模型, 在模拟过程中还考虑了迁移率的高电场饱和效应, 针对应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道层中 Ge 组分对迁移率的影响采用了 Monte Carlo 计算模型.

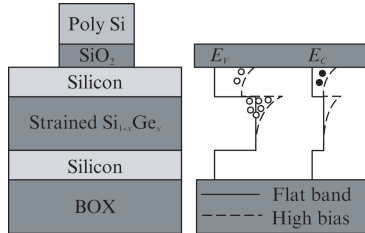


图2 器件能带结构图
Fig.2 Band structure of the device

3 分析与讨论

3.1 模拟结果与实验数据的比较

图3显示了器件的数值计算模拟和实验结果的对比图. 根据文献[21]中器件的实验参数, 对器件转移特性进行二维数值模拟计算. 通过模拟计算结果和实验数据的对比, 发现器件所加载的栅极偏压在 $(-1.5 \text{ V}, 0.5 \text{ V})$ 区间内时, 模拟中所输出的转移特性曲线与文献中的实验结果复合得较好, 这表明本文所采用的物理模型较为合理.

3.2 模拟结果分析与讨论

模拟过程中, 栅氧化层厚度为 3 nm , Si 帽层厚度为 2 nm , 应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道厚度为 5 nm , Si 缓冲层厚度为 50 nm , 埋入氧化层厚度为 100 nm , 漏源外延厚度为 20 nm , 多晶硅栅硼掺杂浓度为 $1 \times 10^{20} \text{ cm}^{-3}$, 沟道区域的砷掺杂浓度为 $5 \times 10^{17} \text{ cm}^{-3}$, 漏源区硼掺杂浓度为 $2 \times 10^{20} \text{ cm}^{-3}$, 漏源结深为 50 nm .

应变 SiGe 合金中的空穴有效质量会减小, 重空穴带和轻空穴带在 Γ 点简并消除, 同时增大了重空穴与自旋空穴带之间的能量分裂, 这些效应使声子谷内散射和谷间散射减弱, 从而空穴在应变 SiGe 合金中有较高的迁移率. 对 p-MOSFET 而言, $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 量子阱对空穴态的限制强烈地依赖于 SiGe 合金中 Ge 的组分. 在阱宽 (SiGe 合金厚度) 不变的情况下, 随着 Ge 组分的增加, SiGe 量子阱各空穴态的能量与 Si 势垒价带带边的能量差越来越大, 阱中能限制的空穴态也更多. 但是, 随着 Ge 组分的增大, $\text{Si}_{1-x}\text{Ge}_x$ 薄膜与 Si 薄膜之间的晶格失配越来越严重, 载流子受到合金散射和晶格散射的影响增大. 应变 $\text{Si}_{1-x}\text{Ge}_x$ 材料中的合金散射迁移率可以表示为^[20]:

$$\mu_{\text{alloy}} \propto [m_d^{5/2} x(1-x)]^{-1}, \quad (2)$$

其中, m_d 是态密度有效质量, x 为 Ge 组分. 图4显示的是不同 Ge 组分器件的转移特性曲线, 从图中可以看出: 在相同的偏置条件下, 该器件比传统 SOI 器件有更大驱动电流, 随着 Ge 组分的增大器件的漏源电流不断增大; 当 $V_g - V_{\text{th}} = -1 \text{ V}$ 、Ge 组分 $\leq 60\%$ 时, x 每增加 20% , 漏源电流的改变量分别为 $8.13 \mu\text{A}/\mu\text{m}$ 、 $7.78 \mu\text{A}/\mu\text{m}$ 和 $4.29 \mu\text{A}/\mu\text{m}$, 其增长幅度随 Ge 组分的增大而减小.

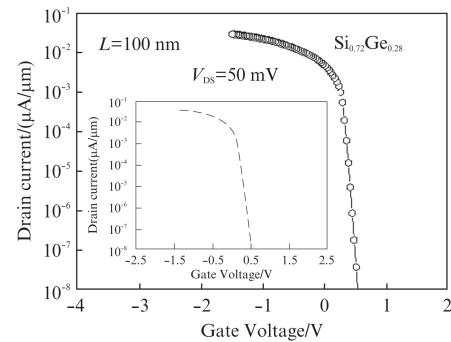


图3 Ge 组分为 28% 的器件转移特性曲线, 内插图为文献^[21]中相应的实验结果
Fig.3 Transfer characteristics of the device with Ge mole fraction of 28%. Inset is the experimental results in Ref. [21]

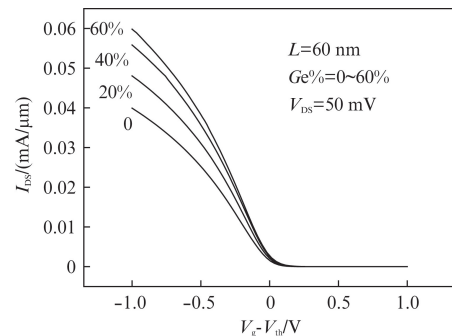


图4 器件的转移特性曲线
Fig.4 Transfer characteristics of the device

根据经典的阈值电压定义, 在体硅 p-MOSFET 中, 当靠近 Si/SiO_2 界面反型层中空穴浓度等于衬底掺杂量时所对应的栅压值即为阈值电压 (V_{th}). 但是, 在应变 $\text{Si}_{1-x}\text{Ge}_x$ 沟道 p-MOSFET 中, 强反型将首先出现在靠近 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 异质界面处, 故其阈值电压可以认为是当靠近 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 界面处反型层中出现强反型时所对应的栅极偏压值. 而在本文中, 则是通过对器件的转移特性曲线的跨导最大点进行线性外推得到阈值电压值的. 绝缘层上应变 $\text{Si}_{1-x}\text{Ge}_x$ 量子阱 p-MOSFET 的阈值电压可以表示为^[22]:

$$V_{th} = V_{fb}^f + \phi_B - \frac{C_{eq}C_{OX2}}{C_{OX1}(C_{eq} + C_{OX2})} \times \quad (3)$$

$$(V_{BC} - V_{fb}^b - \phi_B) - \frac{Q'_b}{C_{OX1}}$$

式中:

$$\phi_B = \left(1 + \frac{C_{eq}}{C_{OX1}}\right) \left(2\phi_f - \frac{\Delta E_V}{q}\right) \quad (4)$$

$$Q'_b = qN_D(t_{Si} + t_{SiGe}) \quad (5)$$

其中 V_{fb}^f 为栅极正面平带电压, V_{fb}^b 为栅极背面平带电压, V_{BC} 为背栅电压, C_{eq} 为单位面积 Si 帽层、应变 Si_{1-x}Ge_x 层以及 Si 缓冲层之间的串联电容, C_{OX1} 为单位面积栅氧化层电容, C_{OX2} 为单位面积埋入氧化层电容, t_{Si} 和 t_{SiGe} 分别为 Si 缓冲层和应变 Si_{1-x}Ge_x 层厚度. 图 5 显示的是有效沟道长度为 60 nm、200 nm、600 nm 时器件的阈值电压随 Ge 组分变化的曲线. 从此图中可以看出, 当器件结构和掺杂一定时, 随着 Ge 组分向 x 轴正方向移动, 器件的阈值电压向 y 轴正方向偏移. 可能的原因是: 应变 SiGe 沟道 p-MOSFET 阈值电压与应变 Si_{1-x}Ge_x 层电容与电荷浓度有关, Ge 组分导致其变化给阈值电压带来了影响; Ge 的引入造成 Si/应变 Si_{1-x}Ge_x 异质结处的价带势分布不连续, 若考虑应力因素, 引入的 Ge 组分每增加 10% 将使禁带宽度变窄 (ΔE_g) 约 84 meV, 由于 Ge-Si 之间较大的价带带阶, 能带突变量主要体现在价带 (ΔE_V) 上, 因此, Ge 组分变化导致的 ΔE_V 也会给阈值电压带来影响. 就沟道为 60 nm 的器件阈值电压随 Ge 变化作分析: 当 Ge 组分低于 20% 时, 随着 Ge 组分的增大, SiGe 合金的价带边缘逐渐靠近费米能级但没有超越费米能级, 此时 $V_{th} < 0$, 随着 Ge 组分的增大, 表面电势 $|\Psi_s|$ 逐渐减小, 在相同的栅极负偏压下在 Si/Si_{1-x}Ge_x 异质结界面上聚集了更多的反型空穴, 过早地呈现强反型, $|V_{th}|$ 随着 Ge 组分的增大而减小; 当 Ge 组分高于 20% 时, SiGe 合金的价带顶超越了费米能级, 此时 $V_{th} > 0$, 随着 Ge 组分的增大, 表面电势 $|\Psi_s|$ 逐渐增大, 并且平带电压持续增大, 氧化层电荷和 Si/Si_{1-x}Ge_x 异质结界界面态密度相应地增大, V_{th} 随着 Ge 组分的增大而增大.

SOI 器件在工作时, 漏源区域的强电场会使器件有较高的雪崩倍增率. 对于 p-MOSFET 而言, 漏源区域的强电场使沟道空穴加速, 当加速的空穴得到足够的能量后, 通过碰撞电离, 产生新的电子-空穴对. 新产生的电子-空穴对在强电场的作用下分离, 空穴被漏端收集, 而电子聚集在 Si 缓冲层近埋入氧化层处. 由碰撞电离产生的电子不能通过埋入氧化

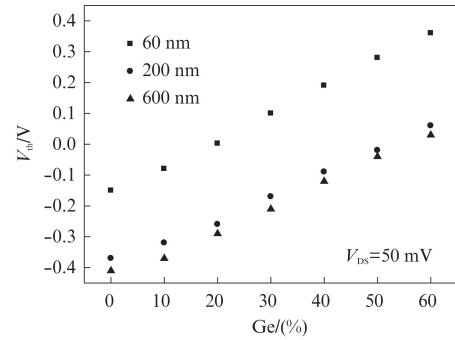


图 5 不同有效沟道长度的器件阈值电压随 Ge 组分变化

Fig. 5 Threshold voltage of the device with different effective channel length as a function of Ge mole fraction

层流走, 随着聚集电子的增加, 局部电位也随之升高, 降低了源/体之间的势垒高度, 这会引起器件的阈值电压降低, 从而使漏极的输出电流 (I_{DS}) 突然增加, 可能导致器件的输出特性增强甚至产生扭结 (Kink) 现象. 图 6 显示的是器件的输出特性曲线, 在栅极偏压一定时, 随着漏源偏压 (V_{DS}) 的增大该曲线呈现出较明显的扭结效应; 随着栅极偏压的增大, 扭结电压也会增大而且扭结的曲度也会减小, 这可能的原因是: 栅极偏压的增大使反型空穴浓度增加, 其中一部分反型空穴与碰撞电离产生电子复合, 在一定程度上缓解了扭结效应. 但是, 随着有效沟道长度减小到深亚微米的范畴, 短沟道效应的存在不允许栅极偏压过大, 利用增大栅极偏压来抑制扭结效应并不适用于短沟道器件. 该效应也可以通过 Si 缓冲层与源极之间的接点来消除, 但这又增加了集成电路的复杂程度. 绝缘层上应变 Si_{1-x}Ge_x 沟道 p-MOSFET 具有优良的空穴迁移率, 在相同偏置的条件下该器件可以获得更高的驱动电流, 并且在较低的栅极偏压下极薄的应变 Si_{1-x}Ge_x 沟道层就已经完全耗尽, 这允许器件在较弱的电场下工作, 避免了强

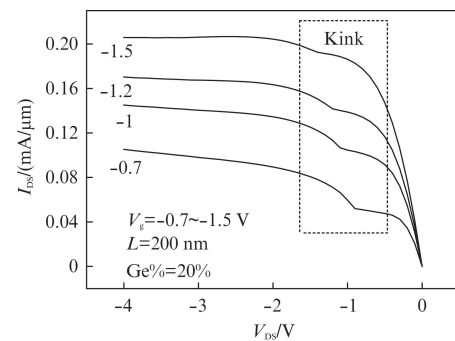


图 6 器件的输出特性曲线

Fig. 6 Output characteristics of the device

电场下的扭结效应.同时,适当的减小栅氧化层的厚度和掺杂浓度也可以有效地减小该效应的影响.

4 结论

利用 ISE-TCAD 软件对其进行二维数值计算,运输模型采用了流体力学能量平衡运输模型,量子效应模型采用了密度梯度模型,根据沟道中的载流子可能受到的散射机制选择了相应的迁移率模型,复合-产生模型采用了肖克莱-里德-霍尔复合模型、俄歇复合模型、带间隧穿模型、雪崩产生模型.模拟结果表明,二者可以相符得较好,这说明器件模拟过程中所选择的物理模型较为合理.当器件结构以及掺杂浓度一定时,阈值电压随着沟道层 Ge 组分增大向正方向偏移;当有效沟道长度为 60 nm 和 Ge 组分为 20% 时,其阈值电压就已经为正值;不同 Ge 组分转移特性曲线表明:该器件在相同偏置条件下比传统的 SOI p-MOSFET 具有更高的驱动电流,而且其漏源电流随着 Ge 组分的增大不断提高,但是增幅却在不断减小;器件的输出特性曲线表明,随着漏源偏压的增大,该器件不免会有扭结现象发生,由于器件可以在较低电场下工作,这就可能减小该效应对器件的影响.

致谢

中国科学院上海技术物理研究所红外物理国家重点实验室采用分时段共用 License 的方法为本研究工作提供了 Synopsys 公司的 ISE TCAD 模拟软件,在此对红外物理国家重点实验室、Synopsys 公司以及相关技术人员一并表示衷心的感谢.

References

- [1] Sturm J C, Manoharan H, Lenchyshyn L C, *et al.* Well-resolved band-edge photoluminescence of excitons confined in strained $\text{Si}_{1-x}\text{Ge}_x$ quantum wells [J]. *Phys. Rev. Lett.*, 1991, **66**(10): 1362.
- [2] Ismail K, Chu J O, Meyerson B S. High hole mobility in SiGe alloys for device applications [J]. *Appl. Phys. Lett.*, 1994, **64**(23): 3124-3126.
- [3] Cullis A G, Robbins D J, Barnett S J, *et al.* Growth ripples upon strained SiGe epitaxial layers on Si and misfit dislocation interactions [J]. *J. Vac. Sci. & Tech. A*, 1994, **12**(4): 1924-1931.
- [4] Jin L, Hong-Xia L, Bin L, *et al.* The study on two-dimensional analytical model for gate stack fully depleted strained Si on silicon-germanium-on-insulator MOSFETs [J]. *Chin. Phys. B*, 2010, **19**(10): 107301.
- [5] Qin S S, Zhang H M, Hu H Y, *et al.* An analytical threshold voltage model for dual-strained channel PMOSFET [J]. *Chin. Phys. B*, 2010, **19**(11): 7309.
- [6] Du G, Liu X Y, Xia Z L, *et al.* Effect of interface roughness on the carrier transport in germanium MOSFETs investigated by Monte Carlo method [J]. *Chin. Phys. B*, 2010,

- 19**(5): 7304
- [7] Rieger M M, Vogl P. Electronic-band parameters in strained $\text{Si}_{1-x}\text{Ge}_x$ alloys on $\text{Si}_{1-y}\text{Ge}_y$ substrates [J]. *Phys. Rev. B*, 1993, **48**(19): 14276.
- [8] Bufler F M, Graf P, Keith S, *et al.* Full band Monte Carlo investigation of electron transport in strained Si grown on $\text{Si}_{1-x}\text{Ge}_x$ substrates [J]. *Appl. Phys. Lett.*, 1997, **70**(16): 2144-2146.
- [9] Hionis G, Tsetseri M, Zora A, *et al.* Intersubband transitions in strained Si/ $\text{Si}_{1-x}\text{Ge}_x$ /Si quantum wells [J]. *Superlattices and microstructures*, 2000, **28**(2): 151-156.
- [10] Li C B, Huang C J, Cheng B W, *et al.* Cavity-enhanced photoluminescence of SiGe/Si multiquantum wells grown on silicon-on-insulator substrate [J]. *J. Appl. Phys.*, 2004, **95**(10): 5914-5916.
- [11] Hallstedt J, von Haartman M, Hellstrom P E, *et al.* Hole mobility in ultrathin body SOI pMOSFETs with SiGe or SiGeC channels [J]. *IEEE Electron Device Letters*, 2006, **27**(6): 466-468.
- [12] Yuan H C, Kelly M M, Savage D E, *et al.* Thermally processed high-mobility MOS thin-film transistors on transferable single-crystal elastically strain-sharing Si/SiGe/Si nanomembranes [J]. *IEEE Transactions on Electron Devices*, 2008, **55**(3): 810-815.
- [13] Takehiro S, Sakuraba M, Murota J, *et al.* High-performance pMOSFETs with high Ge fraction strained SiGe-heterostructure channel and ultrashallow source/drain formed by selective B-doped SiGe CVD [J]. *Electrical Engineering in Japan*, 2008, **165**(3): 46-50.
- [14] Szeto S, Reif R. A unified electrothermal hot-carrier transport model for silicon bipolar transistor simulations [J]. *Solid-state electronics*, 1989, **32**(4): 307-315.
- [15] Bringer A, Schön G. Extended moment equations for electron transport in semiconducting submicron structures [J]. *J. Appl. Phys.*, 1988, **64**(5): 2447-2455.
- [16] LIN Gui-Jiang, ZHOU Zhi-Wen, LAI Hong-Kai, *et al.* Energy band design for Si/SiGe quantum cascade laser [J]. *Acta Phys. Sin.* (林桂江,周志文,赖虹凯,等. Si/SiGe 量子级联激光器的能带设计. *物理学报*), 2007, **56**(7): 4137-4142.
- [17] Aberg I, Ni Chleirigh C, Hoyt J L. Ultrathin-body strained-Si and SiGe heterostructure-on-insulator MOSFETs [J]. *IEEE Transactions on Electron Devices*, 2006, **53**(5): 1021-1029.
- [18] Ancona M G, Tiersten H F. Macroscopic physics of the silicon inversion layer [J]. *Phys. Rev. B*, 1987, **35**(15): 7959.
- [19] Ancona M G, Iafrate G J. Quantum correction to the equation of state of an electron gas in a semiconductor [J]. *Phys. Rev. B*, 1989, **39**(13): 9536.
- [20] ZHANG Xue-Feng, XU Jing-Ping, ZOU Xiao, *et al.* A low-field hole mobility model of strained $\text{Si}_{1-x}\text{Ge}_x$ pMOSFET [J]. *Chin. J. Semicond.* (张雪峰,徐静平,邹晓,等.应变 $\text{Si}_{1-x}\text{Ge}_x$ pMOSFET 反型沟道空穴低场迁移率模型. *半导体学报*), 2006, **27**(11): 2000-2004.
- [21] Hallstedt J, von Haartman M, Hellstrom P E, *et al.* Hole mobility in ultrathin body SOI pMOSFETs with SiGe or SiGeC channels [J]. *IEEE Electron Device Letters*, 2006, **27**(6): 466-468.
- [22] ZhANG He-Ming, CUI Xiao-Ying, HU Hui-Yong, *et al.* Study on threshold voltage model of strained SiGe quantum well channel SOI PMOSFET [J]. *Acta Phys. Sin.* (张鹤鸣,崔晓英,胡辉勇,等.应变 SiGe SOI 量子阱沟道 PMOSFET 阈值电压模型. *物理学报*), 2007, **56**(6): 3504-3508.