

互连型可编程神经网络电路的
设计与应用试验

71-76

O 438

①

陈正宇 王汝笠

(中国科学院上海技术物理研究所, 青年光电工程研究中心, 上海, 200083)

A 摘要 在讨论 Hopfield 模型和 IPA 模型两种联想神经网络基础上, 提出一种易于用 VLSI 实现的电路结构, 可以构成上述两种形式的可编程联想存储器, 并详细介绍了电路的结构和关于模式恢复的试验结果。

关键词 神经网络, 联想存储, 神经芯片, 互连型, 可编程

引言

联想存储器 (Associative Memory) 是神经网络理论研究的重要应用之一, 由于它具有很强的容错性和抗干扰性, 并且是大规模并行处理的, 所以很受重视。美国、日本等先进国家已开发出多种可实现联想存储神经网络的新器件和装置。目前, 国内研究的重点之一是制作可编程 (即连接权重可变) 的集成化芯片。本文提出了一种可编程神经芯片的结构, 并模拟此结构制成一个可编程神经网络系统, 用它完成了联想记忆的演示, 对字母、文字等畸变模式进行了试验性恢复处理。整个工作为可编程神经芯片的研制提供了实验依据。

1 用于联想存储的神经网络模型

根据神经元连接形态, 神经网络可分为阶层型和互连型, 本文中提到的 Hopfield 模型和 IPA 模型都属于互连型, 它们具有联想记忆的特性。下面的描述只涉及离散的神经网络模型。

设 N 代表神经元数为 n 的神经网络, 则 N 由 (T, θ) 唯一地定义, 其中: T 是一个 $n \times n$ 的零对角矩阵, T_{ij} 表示 i, j 两个结点间的权值, θ 是一个 n 维向量, θ_i 表示结点 i 的阈值。在许多实际装置中, 可取 $\theta_i = 0$ 。

1.1 Hopfield 模型 (Clipped) 中 T_{ij} 的确定方法

Hopfield 模型的 T_{ij} 由下式确定

*中国科学院重大基金资助项目子课题

本文1993年10月19日收到, 最后修改稿1994年5月30日收到

$$T_{ij} = \text{sgn} \left[\sum_{\alpha=1}^m (2V_i^{\alpha} - 1)(2V_j^{\alpha} - 1) - m\delta_{ij} \right], \quad (1)$$

式中 m 为存储模式数, $V^{\alpha} = (V_1^{\alpha}, V_2^{\alpha}, \dots, V_n^{\alpha})$ 为存储的第 α 个模式(可视为一矢量), V_i^{α} 取值为1或0. 通过符号函数 Clipped 后, T_{ij} 的取值只能为 +1, 0, -1, 便于用光学元件和数字电路实现.

1.2 IPA 模型互连权重矩阵确定规则

设有 m 个存储模式, $V^{\alpha} = (V_1^{\alpha}, V_2^{\alpha}, \dots, V_n^{\alpha})$ 为存储的第 α 个模式, d_i 为第 i 个单元(分量)为1的模式个数. 则有

$$d_i = \sum_{\alpha} V_i^{\alpha},$$

定义

$$d_{ij} = \min(d_i, d_j), \quad k_{ij} = \sum_{\alpha} V_i^{\alpha} V_j^{\alpha}.$$

分三种情况讨论:(1)如果 $k_{ij} = d_{ij}$, 则当 $d_i < d_j$ 时, $T_{ij} = 1, T_{ji} = 0$; 当 $d_i = d_j$ 时, $T_{ij} = T_{ji} = 1$; 当 $d_i > d_j$ 时, $T_{ij} = 1, T_{ji} = 0$. (2) $0 < k_{ij} < d_{ij}$, 则 $T_{ij} = T_{ji} = 0$. (3) $k_{ij} = 0$, 则当 $d_i \neq 0$ 且 $d_j \neq 0$ 时, $T_{ij} = T_{ji} = -1$; 当 d_i 和 d_j 至少有一个等于0时, $T_{ij} = T_{ji} = 0$.

不论是 Hopfield 模型还是 IPA 模型, 建立权重矩阵后, 网络的输出状态按下列规则变化:

$$V_i(t+1) = \text{STP} \left[\sum_{j=1}^n T_{ij} V_j(t) - \theta_i \right]. \quad (2)$$

权重矩阵的取值为 +1, 0, -1, 由于光学和电学实现都不便于表示“-1”的权重值, 所以实际应用时可将矩阵 T 分解成两个正值矩阵的差

$$T = T^{(1)} + T^{(2)} = T^{(1)} - (-T^{(2)}). \quad (3)$$

状态方程变为

$$V(t+1) = \text{STP} [T^{(1)} V(t) - (-T^{(2)}) V(t)]. \quad (4)$$

式(4)的 $T^{(1)} V(t)$ 和 $(-T^{(2)}) V(t)$ 都可用矢量-矩阵乘法器方法实现, 其差值可由电路部分求出. 我们的硬件设计就建立在式(4)的基础上.

2 联想存储器的计算机模拟

我们先后在计算机上模拟了64个神经元的 Hopfield 模型(Clipped)和 IPA 模型的自联想、异联想过程, 结果发现: 在我们选定的实验条件下, IPA 模型的存储容量和联想记忆效果都表现得比 Hopfield 模型好. 分析其原因, Hopfield 模型只考虑了同一个存储矢量中各个矢量元之间的关系, 将这些互联简单地相加得到网络的互联权重矩阵. 这是一种“绝对等权”的神经网络, 其每一元特征在识别中所起的作用是等权的, 它要求样本集在状态空间相对地均匀分布, 而且在识别中各元特征偏离样本的概率相等, 但实际应用中很难满足这一要求. IPA 模型则是“非等权”的, 它强调存储模式之间的关系, 强调每个存储样本独有的特征元, 这些特征元在识别中所起的作用比普通的特征元大, 因此在识别随意的、相似的模式时,

IPA 模型具有较优良的表现,图1是计算机对4个数字和4个字母异联想识别结果的统计,图中横坐标 D_H 代表 Hamming 距离,纵坐标 R 代表识别率。

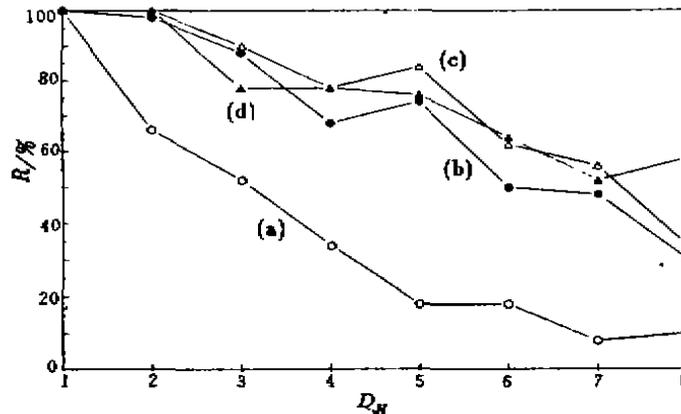


图1 4个数字和4个字母模式异联想识别率
 入“1”,输出“T”; (b)输入“2”,输出“U”; (c)输入“3”,输出“E”; (d)输入“4”,输出“J”
 Fig. 1 Recognition rate of heterogeneous associative memory, four digits as input
 patterns and four letters as output patterns

这里说明一点,我们选择的存储模式集都未经任何处理,全由自己随意按笔划输入,可以理解为随机模式,这样的存储模式更具有普遍性和代表性,由于这一原因,计算机模拟对某些畸变模式的识别率不高,而且存储模式一旦超过6个,模拟的识别率就大大下降,特别是对某些可能相关的模式,或在畸变较大的情况下,不过,根据图1的结果,IPA 模型对 Hamming 距离为1或2的随机畸变模式的识别是可以令人满意的。

3 可编程联想存储器电路的实现

神经网络硬件化的关键在于如何构成神经元,如何进行神经元之间的信号接收和传递,我们提出了一种可编程光电混合神经网络芯片的结构,该芯片可以代表64个神经元,故其权重存储单元有 64×64 个,该芯片需由两个基片对准接合而成,上层发光基片为64个线列 GaAs 发光二极管,下层接收及可变权重基片由一个 Si 光敏二极管、一个 MOS 开关及两个 CMOS 的静态 RAM 存储单元构成,正权重矩阵和负权重矩阵的各一个对应位值就存放在这两个单元中,存储单元控制 MOS 开关的通断,使对应光敏二极管响应输入光所产生的电流被叠加或不被叠加到正、负两根输出线上,实现加权求和,图2表示了该芯片的基本结构。

我们采用 CD4007UB 连接成图2中的 CMOS 存储单元和 MOS 开关,与发光二极管和光敏二极管组合,证明这种结构的电路能很好地工作,实现加权求和,在光电混合神经网络芯片的基础上,我们又提出一种由硅 CMOS 集成电路构成的全电神经网络芯片,其输入由一个 CMOS 存储单元以电流源的方式实现,按照此结构,我们用现有的集成电路元件构成一个64元的联想存储系统,研究它的编程过程、电气特性和可能的应用。

64元神经网络具有 $64 \times 64 = 4096$ 位权重,分成正负两个矩阵后,具有8192位二进制值,需要1024个8位的存储元件,很难实现元件数目如此庞大的电路,因此我们考虑采用一种并串混合的方式,分时地求出64位输出。

电路构成如下:(1)输入存储部分:利用8个锁存器对外围电路送来的64位输入模式进行锁存。(2)权重存储部分:用16个8位锁存器对外围电路送来的一列(包括正负,共128位)权重值进行锁存。(3)加权实现部分:模拟开关是实现加权的关键部分,整个电路采用了32个CD4066,分成正负两组,每一个权重存储锁存器的输出端接到两个CD4066的共8个控制端上。(4)输出转换部分:由运放、串入并出移位寄存器构成,以实现电流求和、比较及串并转换。(5)中央控制部分:主要由单片机、EPROM、译码器及一些门电路组成,EPROM中的一片存放程序,一片存放经计算机模拟所得到的权重矩阵。(6)模式输入部分:我们采用8个8位DIP开关组成一个 8×8 的位输入阵列,可通过手拨开关使任意一位为“0”或“1”。(7)模式输入显示部分:该部分由锁存器、驱动器、8个LED条列构成,锁存器中存放单片机从内存送来的需显示的模式,8个LED条列构成64位的点阵显示阵列。

图3为联想存储器电路原理框图,图4为实际电路板的外观图。

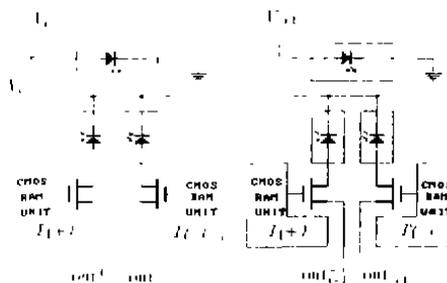


图2 可编程光电混合神经芯片的基本结构
Fig.2 Basic structure of the programmable optoelectronic neurochip

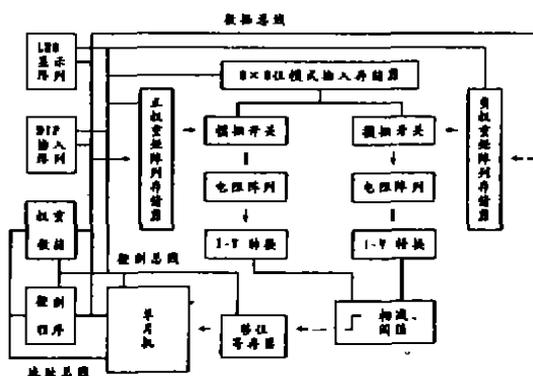


图3 联想存储器电路原理框图
Fig.3 Scheme of the programmable associative memory circuit



图4 实际电路板外观图
Fig.4 Photograph of the actual circuit system

计算机模拟联想存储神经网络并完成“训练”过程,得到的权重数据以一定格式用编程器固化到 EPROM 中,更换具有不同权重数据的 EPROM,就实现了联想存储器电路的编

程.

我们先后烧制了4片 EPROM,分别存放4个英文字母模式 T、U、E、J,4个阿拉伯数字模式 1、2、3、4,4个汉字模式“上”、“口”、“山”、“旧”及3个指纹频域振幅谱采样特征矢量的联想权重矩阵.试验结果令人满意.图5是联想存储电路对畸变输入字母“T”的处理结果.

4 联想存储器电路对含畸变指纹频域振幅谱采样特征矢量的处理恢复

联想存储器具有对畸变输入模式进行处理并得到标准记忆模式的功能,从一定意义上说也是对畸变输入进行了识别.如果能用联想存储器对含畸变的指纹采样特征进行恢复处理,至少可以减少指纹处理过程中随机噪声导致的畸变对识别过程的影响.

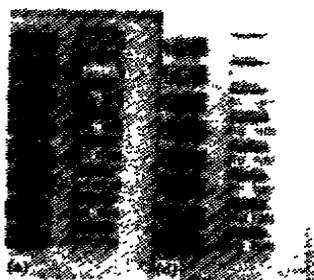


图 5 联想存储电路对字母“T”的识别

Fig. 5 Photograph of recognition for letter “T” using the authors circuit

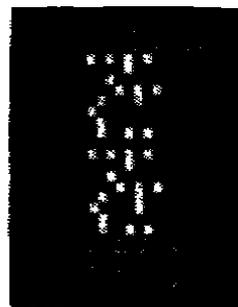


图 6 计算机模拟处理指纹

Fig. 6 Processing for finger-print feature sample vector using computer simulation

指纹中最重要的信息包含在一些很小的特征区域中,我们在 512×512 的图像中选取3个 64×64 的特征区域,通过程序读出图像并进行傅里叶变换,得到频率空间的振幅图.将此图像进行二值化处理后,从中采样一个64 bits 的特征矢量,才能由我们的联想存储器进行处理.图6是计算机模拟处理指纹频谱采样特征矢量的结果,畸变输入模式 Hamming 距离为2.图7是联想存储器电路处理该指纹频谱采样特征矢量的结果,畸变输入模式是由 DIP 开关任意输入的.

联想的输出结果与标准存储模式有些差别,一般有1~2的 Hamming 距离,这主要是由于电路的不完善造成的.同时,试验发现,存储模式集的选取对联想结果也有影响.我们的电路对英文字母模式的联想结果比较令人满意,对指纹频域振幅谱采样特征矢量的联想结果则差些,因为后者构成不规则,有很大的任意性.但总的来说,联想存储器电路对含畸变的指纹频域振幅谱采样特征矢量具有一定的恢复能力.



图 7 联想存储器电路处理指纹频谱采样特征矢量

Fig. 7 Processing for finger-print feature sample vector using associative memory circuit

5 联想存储器电路设计分析与进一步工作设想

采用 EPROM 实现联想存储器的可编程,大大扩展了联想存储器的应用范围,使之向应用方面迈进了一步,但目前实现的可编程不是实时的,神经网络并不具有自学习的功能,这与人脑的机能还相差甚远.就近而言,我们的联想存储器电路还有不完善的地方,主要原因在于:随着集成块元件数的增多,元件间连接线激增,电源线、地线拉长,连线电阻、分布电容随之增加,对信号产生高频干扰.超大规模集成电路芯片在一定范围内可以排除这一问题.进一步可采用光互连来实现元件间的连接,所以具有光互连的神经芯片是发展方向.

参考文献

- 1 Hopfield J J. *Proc. Natl. Acad. Sci. U. S. A.*, 1982, **79**:2554
- 2 Farhat N H, Psaltis D, et al. *Appl. Opt.*, 1985, **24**:1469
- 3 Peak E G, Psaltis N. *Opt. Eng.*, 1987, **26**:428
- 4 Lu Taiwei, Xu Xin, et al. *Appl. Opt.*, 1990, **29**(2):284
- 5 Ohta J, Takahashi M, et al. *IJCNN*, Washington D C, 1989, I-477
- 6 Ohta J, Nitta Y, Kynma K. *Opt. Lett.*, 1991, **16**(10):15
- 7 Thakoor A P, Moopenn A, et al. *Appl. Opt.*, 1987, **26**(23):5085
- 8 焦李成. *神经网络系统理论*, 西安:西安电子科技大学出版社, 1989
- 9 栾长文. *光神经芯片及其在目标自动识别中的应用*, 硕士论文, 上海技术物理研究所, 1992

DESIGN AND SERVICE EXPERIMENT OF A PROGRAMMABLE NEURAL NETWORK CIRCUIT*

Chen Zhengyu Wang Ruli

(*Optoelectronic Engineering Research Center, Shanghai Institute of Technical
Physics, Chinese Academy of Sciences, Shanghai 200083, China*)

Abstract A circuit, which is easy to realize by VLSI, is proposed to complete the Hopfield and IPA neural networks. The circuit construction and experimental results of the network are reported.

Key words neural network, associative memory, neural chip.

* The subproject supported by the Fund of Key Program of Chinese Academy of Sciences